

AA

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 10-327156
 (43) Date of publication of application : 08. 12. 1998

(51) Int. Cl. H04L 12/28
 H04L 29/10
 H04L 29/14

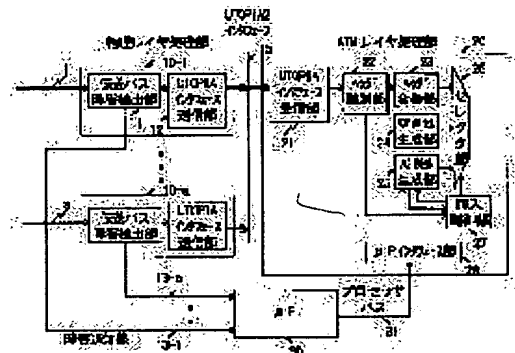
(21) Application number : 09-131900 (71) Applicant : HITACHI LTD
 (22) Date of filing : 22. 05. 1997 (72) Inventor : NAKAYAMA KO
 TAKATORI MASAHIRO

(54) ATM COMMUNICATION EQUIPMENT AND AIS CELL GENERATING METHOD

(57) Abstract:

PROBLEM TO BE SOLVED: To periodically generate an AIS cell by confirming the presence/ absence of fault detection at a physical layer processing part to transmit a cell belonging to an ATM connection, which is the object of polling, generating and transmitting the AIS cell to the ATM connection when there is any fault.

SOLUTION: The cells sent from physical layer processing parts 10-1 to 10-a through a UTOPIA2 interface 15 are received at a UTOPIA interface reception part 21 inside an ATM layer processing part 20. At a header identification part 22, the identification of ATM connection is performed and at a header converting part 23, the converting processing of cell header is performed. When no cell is sent from any of layer processing parts 10-1 to 10-a at cell output timing, it is reported from the identification part 22 to an insertion control part 27. The control part 27 operates a selector 26 so as to select either an idle cell generated by an idle cell generation part 24 or an AIS cell generated by an AIS cell part 25, and any one of cells is selected.



LEGAL STATUS

[Date of request for examination]
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) ; 1998, 2000 Japan Patent Office

【特許請求の範囲】

【請求項 1】複数の物理回線を収容し、1つの ATM レイヤ処理回路に複数の物理レイヤ処理回路が接続されるインタフェースを有する ATM 通信装置において、複数の物理レイヤ処理部では伝送パスの障害をそれぞれ検出し、ATM レイヤ処理部では、設定された全 ATM コネクションに対して順次周期的にポーリングを行って、上記複数の物理レイヤ処理部のうちポーリングの対象となる ATM コネクションに属するセルが伝送される物理レイヤ処理部における障害検出の有無を確認し、
10 該物理レイヤ処理部において障害検出があった場合には該 ATM コネクションに対して AIS セルを送信することを特徴とする ATM 通信装置および AIS セル生成方法。

【請求項 2】複数の物理回線を収容し、1つの ATM レイヤ処理回路に複数の物理レイヤ処理回路が接続されるインタフェースを有する ATM 通信装置において、複数の物理レイヤ処理部では伝送パスの障害をそれぞれ検出して検出結果をプロセッサに通知し、
20 プロセッサは上記複数の物理レイヤ処理部における障害検出結果をプロセッサバスを通じて ATM レイヤ処理部に通知し、ATM レイヤ処理部では、設定された全 ATM コネクションに対して順次周期的にポーリングを行って、上記複数の物理レイヤ処理部のうちポーリングの対象となる ATM コネクションに属するセルが伝送される物理レイヤ処理部における障害検出の有無を上記プロセッサからの通知によって確認し、
30 該物理レイヤ処理部において障害検出があった場合には該 ATM コネクションに対して AIS セルを送信することを特徴とする ATM 通信装置および AIS セル生成方法。

【請求項 3】請求項 1 あるいは 2 記載の ATM 通信装置において、ATM レイヤ処理部では、設定された全 ATM コネクション数を N とし、ある一定時間 / N 間隔でタイムアウトするタイマーと、前期タイマーのタイムアウト時に 1 つ昇順あるいは降順にカウントする N 進カウンタとを持ち、
40 上記 N 進カウンタの示すカウンタ値の順に設定された全 ATM コネクションに対して順次周期的にポーリングを行うことを特徴とする ATM 通信装置および AIS セル生成方法。

【請求項 4】請求項 1 ~ 3 記載の ATM 通信装置において、ATM レイヤ処理部は、ATM コネクション単位に該 ATM コネクションに属するセルが伝送される物理回線の番号を保持する情報格納回路 1 と、物理回線単位に障害が発生しているかどうかを記憶する情報格納回路 2 を持ち、

設定された全 ATM コネクションに対して順次周期的にポーリングを行って、ポーリングの対象となる ATM コネクションの番号をデコードして前記情報格納回路 1 に与えることにより該 ATM コネクションに属するセルの通過する物理回線の番号を獲得し、
該物理回線の番号をデコードし、前記情報格納回路 2 に与えることにより該物理回線に障害が発生したかどうかを検出し、
障害を検出したときに該 ATM コネクションに対して AIS セルを生成し送信することを特徴とする ATM 通信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、1つの ATM レイヤ処理回路に複数の物理レイヤ処理回路が接続されるインタフェースを有する ATM 通信装置に関するものである。

【0002】

【従来の技術】ATM 通信においては、複数の通信装置間の状態監視等のネットワーク管理情報を送受するために監視制御セル (OAM (Operation and Maintenance) セル) と呼ばれるセルが存在する。

【0003】従来、ATM 通信装置では、伝送路回線より受信した信号の終端部において、回線フレームの同期はずれ等の障害を検出すると、OAM セルの一種である AIS (Alarm Indication Signal) セルを着信側の装置に送出して障害を通知する機能を有している。

【0004】ATM 通信装置の従来構成例を図 4 に示す。図 4 において、ATM 通信装置 40 は、1 ~ k までの入力回線からの信号を受信する回線対応部 (受信側) 42-1 ~ 42-k と、入力された ATM セルを各出力回線 1' ~ k' へ振り分けるスイッチ部 41 と、各出力回線 1' ~ k' へ信号を送信する回線対応部 (送信側) 42'-1 ~ 42'-k とからなる。そして回線対応部 (受信側) 42-1 ~ 42-k には、回線フレームの終端等を行う物理レイヤ処理部 43 とセルのヘッダ変換等を行う ATM レイヤ処理部 44 を含んでおり、物理レイヤ処理部 43 の伝送パス障害検出部 45 でフレーム同期はずれ等の障害を検出すると ATM レイヤ処理部 44 にそれを伝え、ATM レイヤ処理部 44 の AIS セル生成部 46 にて設定されている全 ATM コネクションに対して AIS セルを生成、送出する。

【0005】

【発明が解決しようとする課題】ATM Forum によると、様々な伝送媒体 (ケーブル) を使用する物理レイヤの多様性を吸収し、上位層の ATM レイヤに影響を及ぼさないシームレスな通信を可能とするために、ATM レイヤと物理レイヤの間に UTOPIA (Unive

rsal Test & Operation PHY Interface for ATM) というインタフェースを設けている (The ATM Forum, "Utopia, An ATM-PHY Interface Specification, Level 1, Level 2)。特に UTOPIA インタフェースの Level 2 では、1つの ATM レイヤ処理回路に複数の物理レイヤ処理回路が接続される形態も考えられている。つまり 1つの ATM レイヤ処理回路は複数の物理レイヤ処理回路からそれぞれ別個に障害通知を受けとることとなる。また、1つの ATM レイヤ処理回路には各回線に伝送される複数の ATM コネクションに属するセルが複数の物理レイヤ処理回路から入力されることとなり、物理レイヤ処理回路より障害通知を受け取った際、ATM レイヤ処理回路は通知した物理レイヤ処理回路に伝送されるセルが属する ATM コネクションに対してのみ AIS セルを発生させる必要がある。

【0006】従来の ATM 通信装置の構成では、物理レイヤ処理部から ATM レイヤ処理部へ障害を通知するための障害通知線が、物理レイヤ処理部から ATM レイヤ処理部へ直接接続されているため、ATM レイヤ処理部と物理レイヤ処理部との間の接続線を物理レイヤ処理回路と同じ数だけ設けなければならない。

【0007】本発明の目的は、1つの ATM レイヤ処理回路に複数の物理レイヤ処理回路が接続されるインタフェースを有する ATM 通信装置において、各物理レイヤ処理回路に伝送されるセルが属する ATM コネクションに対して各物理レイヤ処理回路単位に AIS セルを発生させることのできる装置を提供することにある。

【0008】本発明のもう一つの目的は、1つの ATM レイヤ処理回路に複数の物理レイヤ処理回路が接続されるインタフェースを有する ATM 通信装置において、ATM レイヤ処理部と物理レイヤ処理部との間の接続線の本数を増大させることなく、各物理レイヤ処理回路で検出した障害を ATM レイヤ処理部に通知することのできる装置を提供することにある。

【0009】

【課題を解決するための手段】本発明の目的を達成するために、ATM レイヤ処理部において、設定された全 ATM コネクションに対して順次周期的にポーリングを行って、ポーリングの対象となる ATM コネクションに属するセルが伝送される物理レイヤ処理部における障害検出の有無を確認し、障害検出があった場合には該 ATM コネクションに対して AIS セルを送信することにより達成される。

【0010】また本発明のもう一つの目的を達成するために、複数の物理レイヤ処理部は、各物理レイヤ処理回路で検出した障害をプロセッサへ通知し、プロセッサは各物理レイヤ処理部における障害検出結果をプロセッサバスを通じて ATM レイヤ処理部へ通知し、ATM レ

ヤ処理部では、設定された全 ATM コネクションに対して順次周期的にポーリングを行って、ポーリングの対象となる ATM コネクションに属するセルが伝送される物理レイヤ処理部における障害検出の有無をプロセッサより通知によって確認し、障害検出が通知されている場合には該 ATM コネクションに対して AIS セルを送信することにより達成される。

【0011】

【発明の実施の形態】図 1 に、本発明における ATM 通信装置の実施例全体図を示す。

【0012】図 1 において、複数の物理レイヤ処理部 10-1 ~ a は、回線フレームを終端してセルを切り出し、また障害を検出する伝送バス障害検出部 11 と、切り出したセルを UTOPIA 2 インタフェース 15 へ送出する UTOPIA インタフェース送信部 12 とからなる。

【0013】また ATM レイヤ処理部 20 は、UTOPIA 2 インタフェース 15 からセルを受信する UTOPIA インタフェース受信部 21 と、セルヘッダを識別するヘッダ識別部 22、セルヘッダの変換を行うヘッダ変換部 23、セル出力タイミング時に送信すべきセルがないときに送信する空きセル (ITU で定める Idle セルまたは Unassigned セル) を生成する空きセル生成部 24、AIS セルを生成する AIS セル生成部 25、送信するセルを選択して送信するセレクト部 26、セレクト部を制御して空きセルや AIS セルの挿入を行う挿入制御部、プロセッサ (μP) 30 の制御を受け付ける μP インタフェース部 28 とからなる。

【0014】物理レイヤ処理部 10-1 ~ a は回線 1 ~ a より回線信号を受け取ると、伝送バス障害検出部 11 にて回線フレームを終端してセルを切り出し、切り出したセルを UTOPIA インタフェース送信部 12 に送り出す。回線フレーム終端時にフレーム同期はずれ等の障害を検出した場合には、障害通知線 13-1 ~ a 経由でプロセッサ (μP) 30 に通知する。UTOPIA インタフェース送信部は伝送バス障害検出部 11 よりセルを受け取ると UTOPIA 2 インタフェース 15 にセル送信要求を出し、ATM Forum に記述された手順に従って UTOPIA 2 インタフェース 15 へセル送出を行う。

【0015】UTOPIA 2 インタフェース 15 を通して物理レイヤ処理部 10-1 ~ a より送出されたセルは、ATM レイヤ処理部 20 内の UTOPIA インタフェース受信部 21 にて受信され、ヘッダ識別部 22 で ATM コネクションの識別を行いヘッダ変換部 23 でセルヘッダの変換処理を行う。セル出力タイミング時にセルが物理レイヤ処理部 10-1 ~ a のいずれから送られてこなかった場合には、ヘッダ識別部 22 より挿入制御部 27 に伝えられ、空きセル生成部 24 で生成された空きセルか、AIS セル生成部 25 で生成された AIS セ

ルを選択するよう挿入制御部 27 がセクタ部 26 を動作させ、どちらかのセルを送信する。

【0016】プロセッサ (μ P) 30 は物理レイヤ処理部 10-1 ~ a より障害通知を受け取ると、障害を検出した物理レイヤ処理部 10-1 ~ a を識別するための物理番号 (1) ~ (a) に対する A I S セル送信要求や、送信すべき A I S セルの情報部を、プロセッサバス 31 を介して A T M レイヤ処理部 20 に通知する。

【0017】A T M レイヤ処理部 20 は、 μ P インタフェース部 28 にてプロセッサ (μ P) より受け取った A I S セル送信要求等の情報を A I S セル生成部 25 に伝え、A I S セル生成部 25 ではその情報をもとに A I S セルを生成する。

【0018】図 2 に、A I S セルフォーマット例を示す。

【0019】A I S セルは A T M コネクション情報 (V P I / V C I) を含む 5 バイトのセルヘッダ 51 と、4 ビットの O A M セル種別 (A I S セルの場合のコーディングは "0001") や 4 ビットの機能種別 (A I S セルの場合のコーディングは "0000")、1 バイトの故障種別、16 バイトの故障箇所を含む 48 バイトのペイロード部 52 との、合わせて 53 バイトで構成される。

【0020】A I S セルを生成する A I S セル生成部 25 の詳細構成を図 3 に示す。

【0021】A I S セル生成部 25 は、設定された全 A T M コネクション [1] ~ [N] 毎に各 A T M コネクションに属するセルが伝送される物理レイヤ処理部の物理番号 P [1] ~ P [N] 111 と、各 A T M コネクションに対する A I S セルを生成する際のセルヘッダ H

[1] ~ H [N] 112 とを格納した A I S 情報テーブル (1) 110 と、物理番号 (1) ~ (a) 毎に A I S セル送信要求があるかどうかを示すフラグ F (1) ~ F (a) 121 と、送信要求されている A I S セルの情報部 I (1) ~ I (a) とを格納する A I S 情報テーブル (2) 120 とを持つ。

【0022】また、周期ポーリング部 130 において、 $1/N$ タイマー 131 は 1 秒間中に、設定 A T M コネクション数 N 刻みでタイムアウトし、N 進カウンタ 132 は $1/N$ タイマー 131 のタイムアウト時に一つずつカウント動作する。この N 進カウンタ 132 の示すカウンタ値は A I S セル送信要求があるかどうかポーリングする A T M コネクション番号を示す。そのため、各 A T M コネクションに対するポーリング周期は 1 秒毎ということになり、各 A T M コネクションについて、A I S セルの送信要求に対して 1 秒毎に A I S セルを生成することができる。

【0023】以下にポーリング方法と A I S セル生成方法を説明する。

【0024】まずプロセッサ (μ P) 30 から μ P イン

タフェース部 28 を経由して、例えば物理番号 (x) に対して A I S セル送信要求と A I S セルペイロード部を受け取った場合、書込制御部 105 により、A I S 情報テーブル (2) 120 のフラグ (x) に "1" が、情報部 (x) に A I S セルペイロード部が書き込まれる。また、A I S セル送信要求が解除された場合には、A I S 情報テーブル (2) 120 のフラグ (x) に "0" が書き込まれる。

【0025】読出制御部 (1) 101 では、N 進カウンタ 132 の示すカウンタ値 A をポーリング対象の A T M コネクション番号 [A] として、A I S 情報テーブル (1) 110 から物理番号 P [A] とセルヘッダ H [A] を読み出し、物理番号 P [A] を読出制御部 (2) 120 へ、セルヘッダ H [A] を A I S セル組立部 103 へ送る。

【0026】読出制御部 (2) 102 は、読出制御部 (1) 101 より送られてくる物理番号 P [A] = (x) にエントリされている A I S 情報テーブル (2) 120 を読み出し、フラグ F (x) を要求制御部 104 へ、情報部 I (x) を A I S セル組立部 103 へ送る。

【0027】A I S セル組立部 103 は、読出制御部 (1) 101 より送られてくるセルヘッダ H [A] と、読出制御部 (2) 102 より送られてくる情報部 I (x) を用いて A I S セルを組み立て、セクタ部 26 へ送る。

【0028】また、読出制御部 (2) 102 よりフラグ F (x) が送られてくる要求制御部 104 は、フラグ F (x) の値が "1" の場合、挿入制御部 27 に対して A I S セル挿入要求を出す。

【0029】挿入制御部 27 では、セル送出タイミング時にヘッダ識別部 22 より送信すべきセルがないことが通知され、A I S セル生成部 25 内の要求制御部 104 より A I S セル挿入要求がある場合には、A I S セル生成部 25 内の A I S セル組立部 103 で組み立てられた A I S セルを送信するようセクタ部 26 を動作させ、A I S セルを 1 セル送信し終えた後、送信を完了したことを要求制御部 104 に通知する。

【0030】そして要求制御部 104 は、A I S セル挿入要求を挿入制御部 27 に出した後に挿入制御部 27 より送信完了通知を受信すると、A I S セル挿入要求を解除する。

【0031】

【発明の効果】本発明の構成によれば、A T M レイヤ処理部において、設定された全 A T M コネクションに対して順次周期的にポーリングを行って、ポーリングの対象となった A T M コネクションに属するセルが伝送される物理レイヤ処理部からの障害通知の有無を確認し、障害通知があった場合には該 A T M コネクションに対して A I S を生成し、送信することにより、障害通知を発した物理レイヤ処理回路に伝送されるセルが属する各 A T M

コネクションに対してA I Sセルを周期的に生成することが可能となる。

【0 0 3 2】また、各物理レイヤ処理回路は障害通知をプロセッサに発し、プロセッサはプロセッサバスを介してA T Mレイヤ処理部に物理レイヤ処理回路毎に障害通知を伝えることにより、A T Mレイヤ処理部と物理レイヤ処理部との間の接続線を増やさずに複数の物理レイヤ処理部の障害をA T Mレイヤ処理部に通知することができる。

【図面の簡単な説明】

【図 1】本発明によるA T M通信装置の実施例全体図である。

【図 2】A I Sセルフォーマットの一例である。

【図 3】図 1 におけるA I Sセル生成部の詳細構成例である。

【図 4】従来のA T M通信装置の構成例である。

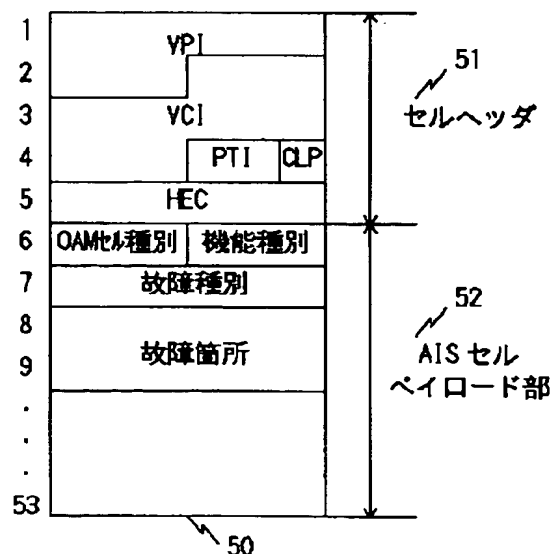
【符号の説明】

1 ~ a ... 入力回線、
1 ~ k ... 入力回線、
1' ~ k' ... 出力回線、
1 0 - 1 ~ 1 0 - a ... 物理レイヤ処理部、
1 1 ... 伝送パス障害検出部、
1 2 ... U T O P I A インタフェース送信部、
1 3 - 1 ~ 1 3 - a ... 障害通知線、
1 5 ... U T O P I A 2 インタフェース、
2 0 ... A T M レイヤ処理部、
2 1 ... U T O P I A インタフェース受信部、
2 2 ... ヘッダ識別部、

2 3 ... ヘッダ変換部、
2 4 ... 空きセル生成部、
2 5 ... A I S セル生成部、
2 6 ... セレクタ部、
2 7 ... 挿入制御部、
2 8 ... μ P インタフェース部、
3 0 ... プロセッサ、
3 1 ... プロセッサバス、
4 0 ... 従来のA T M 通信装置、
4 1 ... A T M スイッチ部、
4 2 - 1 ~ k ... 回線対応部（受信側）、
4 2' - 1 ~ k ... 回線対応部（送信側）、
4 3 ... 従来の物理レイヤ処理部、
4 4 ... 従来のA T M レイヤ処理部、
4 5 ... 従来の伝送パス障害検出部、
4 6 ... 従来のA I S セル生成部、
5 0 ... A I S セルフォーマット、
5 1 ... セルヘッダ、
5 2 ... A I S セルペイロード部、
1 0 1 ... 読出制御部（1）、
1 0 2 ... 読出制御部（2）、
1 0 3 ... A I S セル組立部、
1 0 4 ... 要求制御部、
1 1 0 ... A I S 情報テーブル（1）、
1 2 0 ... A I S 情報テーブル（2）、
1 3 0 ... 周期ポーリング部、
1 3 1 ... 1 / N タイマー、
1 3 2 ... N 進カウンタ。

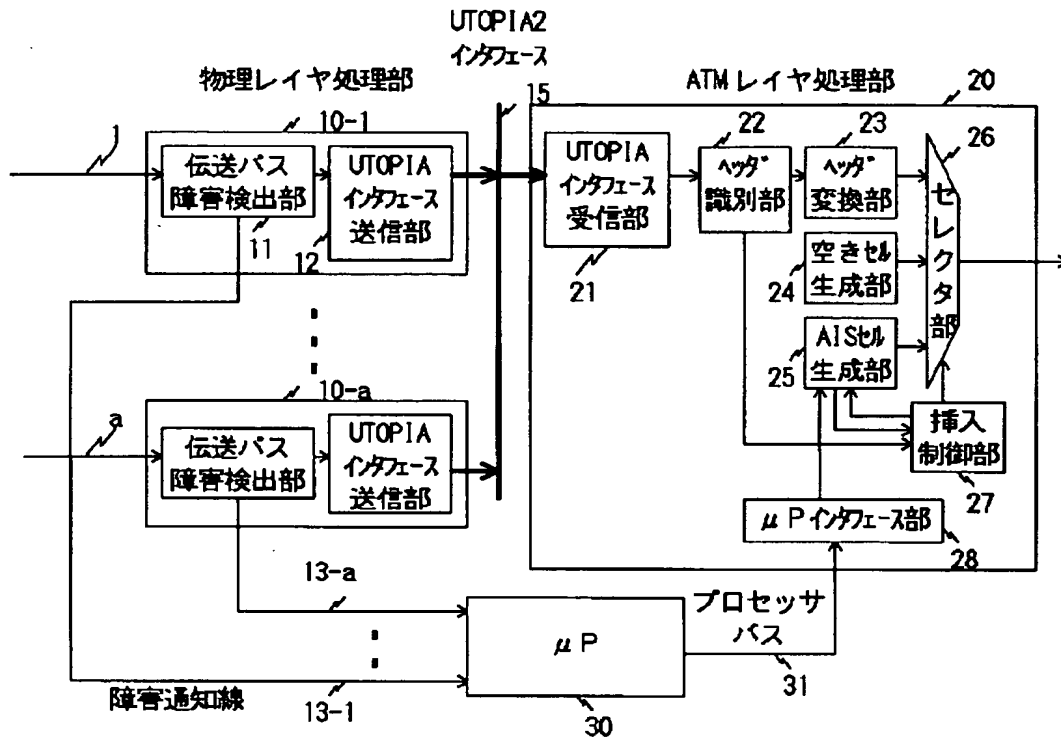
【図 2】

図 2 AISセルフォーマット例



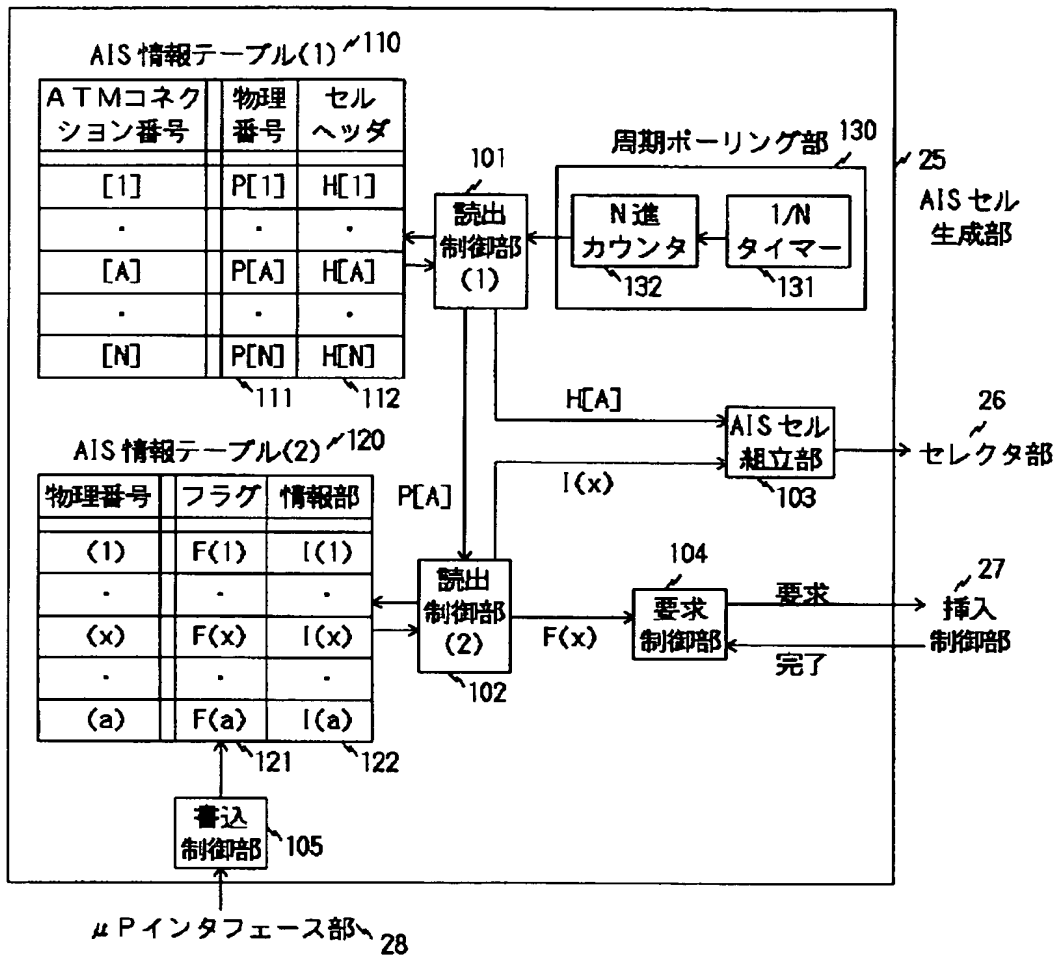
【図 1】

図 1 実施例全体図



【図 3】

図 3 AIS セル生成部の詳細構成



【図 4】

